

## INDIUM/PHOSPHORUS, HIGH ELECTRON MOBILITY TRANSISTOR

Patent Number: JP9205196

Publication date: 1997-08-05

Inventor(s): TSUCHIYA TADAITSU

Applicant(s): HITACHI CABLE LTD

Requested Patent:  JP9205196

Application Number: JP19960010005 19960124

Priority Number(s):

IPC Classification: H01L29/778; H01L21/338; H01L29/812; H01L21/20

EC Classification:

Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To provide an InP high electron mobility transistor(HEMT) which is improved in gate breakdown voltage and highly useful in practical applications.

**SOLUTION:** In the indium/phosphorus, high electron mobility transistor which comprises a carrier supply layer 5 made of n type InAlAs and a channel layer 3 made of InGaAs; a barrier layer 5c of InAlAs or InAlGaAs as a barrier to positive hole conduction in a valence band is formed in the carrier supply layer 5. For example, the carrier supply layer 5 is made of In composition containing 52% of InAlAs, and the barrier layer 5c is made of In composition containing 42% of InAlAs. Thereby the gate breakdown voltage of the HEMT can be improved.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-205196

(43)公開日 平成9年(1997)8月5日

(51)Int.C1.<sup>6</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
H 0 1 L 29/778 9447-4 M H 0 1 L 29/80 H  
21/338  
29/812  
21/20 21/20

審査請求 未請求 請求項の数5 O L (全4頁)

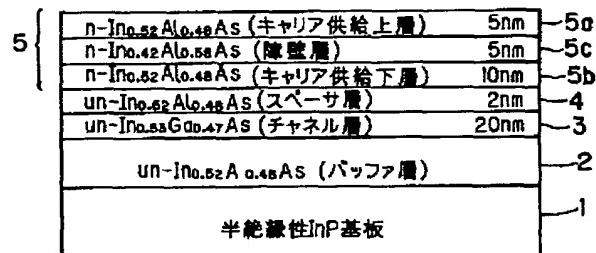
(21)出願番号	特願平8-10005	(71)出願人 000005120 日立電線株式会社 東京都千代田区丸の内二丁目1番2号
(22)出願日	平成8年(1996)1月24日	(72)発明者 土屋 忠巖 茨城県土浦市木田余町3550番地 日立電線 株式会社アドバンスリサーチセンタ内 (74)代理人 弁理士 平田 忠雄

(54)【発明の名称】インジウム・リン系高電子移動度トランジスタ

(57)【要約】

【課題】従来のインジウム・リン系高電子移動度トランジスタは、ゲート耐圧が低く、この点を原因とした実用上の制約があった。

【解決手段】n型InAlAsをキャリア供給層5とし、InGaAsをチャネル層3とするインジウム・リン系高電子移動度トランジスタにおいて、キャリア供給層5の中に、価電子帯の正孔伝導に対して障壁となるInAlAsまたはInAlGaAsから構成される障壁層5cを設ける。例えば、キャリア供給層5としては、In組成52%のInAlAsを使用し、障壁層5cとしてIn組成42%のInAlAsを使用する。そしてこのことによりHEMTとしてのゲート耐圧を改良する。



## 【特許請求の範囲】

【請求項1】n型インジウム・アルミニウム・砒素をキャリア供給層とし、インジウム・ガリウム・砒素をチャネル層とする高電子移動度トランジスタにおいて、価電子帯の正孔伝導に対して障壁作用を有する障壁層を、前記キャリア供給層の中に形成したことを特徴とするインジウム・リン系高電子移動度トランジスタ。

【請求項2】前記障壁層が、キャリア供給層を構成するインジウム・アルミニウム・砒素よりも禁制帯幅の大きい半導体層によって構成されたことを特徴とする請求項第1項記載のインジウム・リン系高電子移動度トランジスタ。

【請求項3】前記半導体層が、キャリア供給層を構成するインジウム・アルミニウム・砒素よりもインジウム組成の少ないインジウム・アルミニウム・砒素によって構成されたことを特徴とする請求項第1項記載のインジウム・リン系高電子移動度トランジスタ。

【請求項4】前記半導体層が、キャリア供給層を構成するインジウム・アルミニウム・砒素よりもインジウム組成の少ないインジウム・アルミニウム・ガリウム・砒素によって構成されたことを特徴とする請求項第1項記載のインジウム・リン系高電子移動度トランジスタ。

【請求項5】前記半導体層が、格子定数の相違によって発生する格子歪みが緩和する臨界膜厚以下の膜厚を有するように構成されたことを特徴とする請求項第3項あるいは第4項に記載のインジウム・リン系高電子移動度トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は高電子移動度トランジスタ(HEMT)に関し、特に、インジウム・リン(InP)系HEMTに関する。

## 【0002】

【従来の技術】従来のInP系HEMTとして、例えば、図5のような構造のものがある。このInP系HEMTは、半絶縁性のInP基板1の上に、インジウム・アルミニウム・砒素(InAlAs)から成るバッファ層2と、インジウム・ガリウム・砒素(InGaAs)から成るチャネル層3を設け、さらにこの上にInAlAs製のスペーサ層4と、InAlAsから成るキャリア供給層5とを順次形成して構成されており、キャリア供給層5としては、In組成52%のn-InAlAsが、チャネル層3としては、In組成53%のun-InGaAsが使用されるのが普通である。

【0003】このHEMTは高い電子移動度と少ない電子散乱性を有するトランジスタとして知られている。

## 【0004】

【発明が解決しようとする課題】しかし、従来のこのHEMTによると、その優れた電子特性の反面でゲート耐圧が低いという性能上の問題を有している。

【0005】従って、本発明の目的は、ゲート耐圧が改良された実用性に富むInP系HEMTを提供することにある。

## 【0006】

【課題を解決するための手段】本発明は上記の目的を達成するため、n型InAlAsをキャリア供給層とし、InGaAsをチャネル層とする高電子移動度トランジスタにおいて、価電子帯の正孔伝導に対して障壁作用のあるInAlAsまたはInAlGaAsによって構成される障壁層を、前記キャリア供給層の中に形成したことを特徴とするInP系HEMTを提供するものである。

【0007】本発明がキャリア供給層の中に価電子帯の正孔伝導に対して障壁となる層を設ける理由は、HEMTのゲート耐圧を悪化させる要因のひとつに、半導体からゲート電極への少数キャリア(この場合は正孔)の流入が挙げられることによるもので、このためこの正孔の流入を阻止する意味から、障壁層を設けるものである。

【0008】そして、このための手段としては、キャリア供給層中に禁制帯幅の大きな層を形成することが効果的であり、その場合具体的には、In組成量が制御されたInAlAsまたはInAlGaAsが障壁層構成のための好適な材料として使用される。

【0009】キャリア供給層に使用されるInAlAsは、基板のInPよりも格子定数の小さなAlAsと格子定数の大きなInAsとの混晶であり、そして通常はInPと格子定数がほぼ一致するIn組成52%のものが使用されるが、このキャリア供給層中にこれを構成する材料よりも禁制帯幅の大きな層を形成する具体的な手段として、キャリア供給層のそれよりもInの少ない、例えば、In組成42%のInAlAs層を設けることがより実際的な手段として考えられる

【0010】この場合に、禁制帯幅を大きくした結果として、格子定数が小さくなるため、格子歪みが生ずるようになる。このような現象への対策としてキャリア供給層中に挿入する障壁層の厚さを、上記歪みが緩和し始める臨界膜厚以下(スード・モフィック状態)となるように設定すべきであり、そうすることが本発明の目的を達成するうえにおいて効果的である。

【0011】キャリア供給層を構成するInAlAsとしては、キャリア供給層中の歪み発生を防止し、成長条件を有利にする意味から、In組成が52%のものを使用することが好ましいが、勿論これ以外のIn組成から成るInAlAsの使用を決して否定するものではない。

【0012】また、障壁層をInAlGaAsによって構成する場合には、禁制帯幅を大きくする目的からInAlAsを使用する場合よりもAl組成を増やすべきであるが、Al組成の増加は格子歪みの増加による臨界膜厚の減少傾向があるので、デバイス設計を容易にする観

点からは、できるだけこのような傾向を抑制し得る範囲内において行うべきである。

【0013】なお、バッファ層としてBeドープIn0.52A10.48AsやFeドープInPを使用することは考えられる。

#### 【0014】

##### 【発明の実施の形態】

〔第1の実施の形態〕図1は本発明の第1の実施の形態におけるHEMTエピタキシャルウェハの積層構造例を示したもので、1は半絶縁性InP基板、2はIn組成52%のun-InAlAsから成るバッファ層、3はIn組成53%のun-InGaAsから成るチャネル層、4はIn組成52%のun-InAlAsから成るスペーサ層、5はn-InAlAsキャリア供給層を示す。

【0015】キャリア供給層5は3層から成り、上下にIn組成52%のn-InAlAsから成る上層5aと下層5bとを配し、さらにこれらの中間に禁制帯幅を大きくしたために価電子帯の正孔伝導に対して障壁となる障壁層5cを介在させて構成されている。この障壁層6は、禁制帯域幅を大きくし、それにより正孔伝導に対する阻害作用を確実なものとするため、In組成が42%のn-InAlAsによって構成されている。

【0016】〔第2の実施の形態〕図2は本発明の他の第2の実施の形態を示したもので、図1の障壁層5cと同じ目的の障壁層5cがIn組成37%のn-InAlGaAsによって構成されている点を除けば、各層の構成材は図1と同じである。

【0017】図3はこれら図1、2の積層構造から構成されたInP系HEMTのデバイス断面を示したもので、8はソース電極、9はゲート電極、10はドレイン電極を示す。ゲート電極9、およびドレイン電極10はn-InAlGaAsのコンタクト層7を介してキャリア供給上層5a上に位置している。

【0018】表1は第1および第2の実施の形態のゲート耐圧試験結果をまとめたものである。

【0019】なお、表1において比較のために引用した従来例は、図4に示されるような従来のInP系HEMTエピタキシャルウェハの積層構造から図3と同じようなデバイス構造を構成し、これを試験に供したもので、半絶縁性のInP基板1と、In組成52%のun-InAlAsバッファ層2と、In組成53%のun-InGaAsチャネル層3と、In組成52%のun-InAlAsスペーサ層4と、組成52%のn-InAlAsキャリア供給層5とから構成されている。

【0020】発明の実施の形態および従来例のエピタキシャル成長は有機金属気相成長法によって行われ、その場合のキャリアガスとしては水素を使用し、原料としてはトリメチルガリウム、トリエチルガリウム、トリメチルインジウム、アルシン、fosfin、ジシランを使用した。

#### 【0021】

##### 【表1】

	第1の実施の形態	第2の実施の形態	従来例
ゲート耐圧(V)	14.2	10.5	2.3

#### 【0022】

【発明の効果】以上説明した本発明によれば、表1の特性対比からも明らかのように、従来のものが比較的低レベルのゲート耐圧にとどまっているのに対して、第1および第2の実施の形態の結果に示されるように、格段に高いゲート耐圧を備えていることが認められる。このことは本発明がInP系HEMTの実用性を高めるうえにおいて大きく貢献することを意味している。

##### 【図面の簡単な説明】

【図1】本発明の実施の形態におけるInP系HEMTエピタキシャルウェハの積層構造図。

【図2】本発明の他の実施の形態におけるInP系HEMTエピタキシャルウェハの積層構造図。

【図3】本発明の実施の形態における積層構造から構成されたInP系HEMTデバイス断面図。

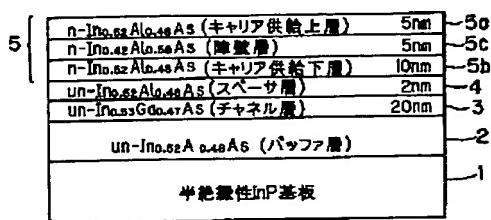
【図4】本発明との対比のために引用された従来のInP系HEMTの積層構造図。

【図5】従来のInP系HEMTの積層構造図。

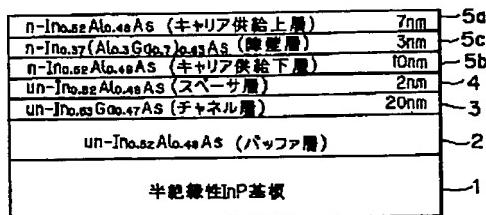
##### 【符号の説明】

- |       |           |
|-------|-----------|
| 1     | 半絶縁性InP基板 |
| 2     | バッファ層     |
| 3     | チャネル層     |
| 4     | スペーサ層     |
| 5     | キャリア供給層   |
| 5a    | キャリア供給上層  |
| 40 5b | キャリア供給下層  |
| 5c    | 障壁層       |
| 7     | コンタクト層    |
| 8     | ソース電極     |
| 9     | ゲート電極     |
| 10    | ドレイン電極    |

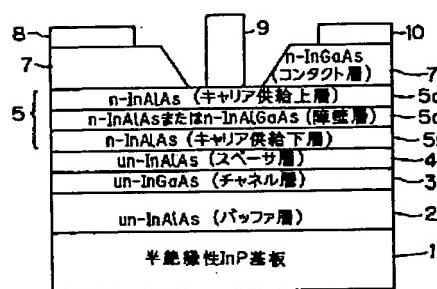
【図1】



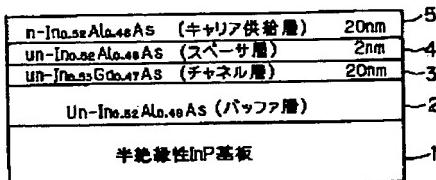
【図2】



【図3】



【図4】



【図5】

